

**UNIVERSIDADE FEDERAL DE SANTA CATARINA****CENTRO TECNOLÓGICO**

Departamento de Engenharia Elétrica e Eletrônica

Campus Trindade - CEP 88040-900 - Florianópolis SC

Tel: 48 3721-2260

**PLANO DE ENSINO 2020.1<sup>1</sup>****I. IDENTIFICAÇÃO DA DISCIPLINA:**

CÓDIGO	NOME DA DISCIPLINA	HORAS-AULA SEMANAIS		HORAS-AULA SEMESTRAIS
		TEÓRICAS	PRÁTICAS	
EEL7120	Introdução à Microeletrônica	2	2	72 horas

**II. PROFESSOR(ES) MINISTRANTE(S)**

Prof. Carlos Renato Rambo &lt;carlos.rambo@ufsc.br&gt;

Profª. Janaina Guimarães &lt;janaina.guimaraes@ufsc.br&gt;

Prof. Hector Pettenghi &lt;hector@eel.ufsc.br&gt;

**III. PRÉ-REQUISITO(S) (Código(s) e nome da(s) disciplina(s))**

N/A

**IV. CURSOS PARA OS QUAIS A DISCIPLINA É OFERECIDA**

(202) Engenharia Elétrica

(235) Engenharia Eletrônica

**V. EMENTA**

**Parte 1:** Introdução; Princípios de Cristalografia; Defeitos cristalinos; Difusão; Oxidação térmica do silício; Implantação iônica; Deposição de filmes (Czochralski, MBE, MOCVD, PVD, LPE e sol-gel); Fotolitografia; Processos de fabricação MOS e bipolar. Atualização: Lei de Moore.

**Parte 2:** Visão geral do processo de fabricação, Layout de componentes passivos; Layout de transistores; Regras de projeto; Layout de células básicas analógicas e digitais; Layout de células mistas; Floorplanning; Metodologias de projeto digital.

**Parte 3:** Transistores MOS, CMOS, Elementos de tecnologia, Introdução à álgebra de *Boole*, Funções Lógicas, Quadros de *Karnaugh*, Agrupamento de minitermos e maxitermos, Introdução aos circuitos combinatórios, Tempos de propagação, Descodificadores e multiplexadores, Somadores e subtratores, Multiplicadores e divisores, *Latches*, *Flip-Flops*, Caracterização temporal, Contadores, Registradores, Síntese de circuitos sequenciais, Circuito de Dados e Circuito de Controle, Controle por ROM, Controle por ROM com endereçamento explícito.

**VI. OBJETIVOS**

A disciplina objetiva introduzir os fundamentos das etapas principais dos processos de fabricação de circuitos integrados, bem como metodologias de projeto, dispositivos e circuitos digitais. Ao final do curso, o aluno deverá estar apto a compreender, de maneira geral, o domínio da Microeletrônica no contexto das nano e micro-tecnologias emergentes da Eletrônica.

**VII. CONTEÚDO PROGRAMÁTICO****Parte 1:**

Aula 1 – Introdução - Atividade síncrona

Aula 2 – Cristalografia/Defeitos (2h) / Difusão/Oxidação (2h) - Atividade assíncrona

Aula 3 – Processos/Deposição (2h) / A1 (2h) - Atividade assíncrona

Aula 4 – Microfabricação (2h) / A2 (2h) -Atividade assíncrona

Aula 5 – Atualização (2h) / A3 (2h) -Atividade assíncrona

**Parte 2:**

Aula 1: Visão geral do processo de fabricação (2h) - Atividade assíncrona

Tarefa 1 (2h) - Atividade assíncrona

Aula 2: Layout de componentes passivos e transistores e Regras de projeto (2h) - Atividade assíncrona

Tarefa de simulação 2 (2h) - Atividade assíncrona

Aula 3: Layout de células básicas analógicas, digitais e células mistas (2h) - Atividade assíncrona

Tarefa de simulação 3 (2h) - Atividade assíncrona

Aula 4: *Floorplanning* e Projeto Digital (2h) - Atividade assíncrona

Tarefa Final (2h) - Atividade assíncrona

<sup>1</sup> Plano de ensino adaptado, em caráter excepcional e transitório, para substituição de aulas presenciais por aulas em meios digitais, enquanto durar a pandemia do novo coronavírus – COVID-19, em atenção à Resolução Normativa 140/2020/CUn.

### Parte 3:

Aula 1 – Introdução, portas lógicas em CMOS (2h) - Atividade síncronas e assíncronas

Aula 2 – Álgebra de *Boole* (2h) - Atividades síncronas e assíncronas

Aula 3 – Circuitos combinatórios (2h) -Atividade síncronas e assíncronas

Aula 4 – *Latches, Flip-Flops*, registradores e contadores (2h) - Atividades síncronas e assíncronas

Aula 5 – Máquinas de Estado (2h) - Atividade síncrona/assíncrona

Laboratório 1: Introdução a VHDL e síntese em ASIC/FPGA (2h) - Atividade síncrona

Laboratório 2: Projeto VHDL (2h) - Atividade síncrona

Laboratório 3: Projeto VHDL (2h) - Atividade síncrona

Avaliação projeto VHDL e revisão de problemas (2h) - Atividade síncrona

Prova Final (2h) - Atividade síncrona

Observação: No cronograma, as partes 1 e 3 foram invertidas para readequação de calendário e disponibilidade dos professores. Não haverá prejuízo didático, visto que a parte 3 não depende do conteúdo da parte 1.

## VIII. METODOLOGIA DE ENSINO / DESENVOLVIMENTO DO PROGRAMA

O material de apoio será disponibilizado integralmente no Moodle (slides detalhados, etc.) conforme a escolha de formato de cada professor. Haverá acompanhamento contínuo dos conhecimentos adquiridos pelos alunos. O horário da aula teórica poderá ser usado para explicação de conceitos contidos no material de apoio e/ou solução de exercícios em conjunto com os alunos e/ou para responder dúvidas dos alunos. Os encontros no horário da aula acontecerão de forma on-line usando preferencialmente as ferramentas disponíveis no Moodle. O aluno poderá consultar ao professor sobre quaisquer dúvidas através das ferramentas de comunicação disponíveis no Moodle ou e-mail. Os professores fornecerão apoio na semana anterior ao início das aulas para preparação e ambientação dos alunos às plataformas virtuais.

**Parte 1:** A parte teórica será ministrada em regimes de aulas síncronas e assíncronas, de acordo com a seguinte metodologia:

1. Aulas assíncronas:

Preparação e disponibilização de aulas gravadas. Todos terão acesso às aulas em qualquer horário que queiram assistir, (disponibilizadas no Moodle). Disponibilização dos materiais de aula (slides, vídeos de apoio). Os materiais serão disponibilizados no Moodle.

2. Aulas síncronas:

Neste caso, teremos videoconferências (via Webconf ou Google Meet), com links disponibilizados no Moodle, nos horários normais da aula teórica (segundas, das 08:20 h às 11:50 h), para elucidar os pontos não discutidos nas aulas gravadas, tirar dúvidas e conversar sobre a matéria. Eventualmente, durante esta aula, também será avaliada a situação da disciplina no modo virtual.

3. Previsão de período de ambientação dos recursos tecnológicos a serem utilizados pelos discentes:

Nas duas primeiras aulas síncronas um tempo será dedicado à ambientação dos alunos e à descrição dos recursos tecnológicos a serem utilizados na disciplina.

**Parte 2:** A parte teórica será ministrada em regimes de aulas/tutoriais assíncronas. Todos terão acesso às aulas em qualquer horário que queiram assistir, (disponibilizadas no Moodle). Para cada aula/tutorial referente ao conteúdo teórico disponibilizada no Moodle serão relacionados exercícios de fixação para aprendizagem. O aluno deverá desenvolver um trabalho final da segunda parte para avaliação. As instruções para desenvolvimento do trabalho serão repassadas pelo Moodle durante o andamento da disciplina.

Observações:

1. As tarefas serão realizadas conforme roteiro detalhado que será disponibilizado no Moodle.

2. A professora estará disponível *on line* na plataforma Moodle (vídeo ou chat), utilizando ferramenta de videoconferência que será indicada posteriormente, para dúvidas e esclarecimentos nas segundas-feiras entre 08:20 e 11:50 (atividade síncrona).

**Parte 3:** A parte teórica será ministrada em regimes de aulas síncronas e assíncronas, de acordo com a seguinte metodologia:

1. Aulas assíncronas:

Preparação e disponibilização de aulas gravadas. Todos terão acesso às aulas em qualquer horário que queiram assistir, (disponibilizadas no Moodle). Disponibilização dos materiais de aula (slides, vídeos de apoio). Os materiais serão disponibilizados no Moodle.

2. Aulas síncronas:

Neste caso, teremos videoconferências (via Webconf, Zoom, ou Google Meet), com links disponibilizados no Moodle, nos horários normais da aula teórica (segundas, das 08:20 h às 11:50 h), para elucidar os pontos não discutidos nas aulas gravadas, tirar dúvidas e conversar sobre a matéria além de explicar os exercícios teórico-práticos semanais. Ditos exercícios teórico-práticos servirão para comprovar a absorção do conhecimento. Será indicado um cronograma de

entrega dos exercícios por parte do professor. Na última aula será dedicada para a realização de uma prova relativa à parte teórica da terceira parte da disciplina no sistema Moodle.

## IX. ATIVIDADES PRÁTICAS

O material de apoio será disponibilizado integralmente no Moodle (slides detalhados, etc.) conforme a escolha de formato de cada professor. Haverá acompanhamento contínuo dos conhecimentos adquiridos pelos alunos. O horário da aula teórica poderá ser usado para explicação de conceitos contidos no material de apoio e/ou solução de exercícios em conjunto com os alunos e/ou para responder dúvidas dos alunos. Os encontros no horário da aula acontecerão de forma on-line usando preferencialmente as ferramentas disponíveis no Moodle. O aluno poderá consultar ao professor sobre quaisquer dúvidas através das ferramentas de comunicação disponíveis no Moodle ou e-mail. Os professores fornecerão apoio na semana anterior ao início das aulas para preparação e ambientação dos alunos às plataformas virtuais.

**Parte 1:** Não há parte prática associada à primeira parte da disciplina. Entretanto serão disponibilizados dois artigos, cujos conteúdos representam o estado da arte da tecnologia de integração e sua relação com a Lei de Moore. O aluno deverá ler o artigo e participar da última aula da parte 1 para discussão do artigo.

**Parte 2:** Aulas em vídeo, tutoriais e atividades práticas em ferramentas computacionais dedicadas ao desenvolvimento de layouts de circuitos integrados. O aluno deverá desenvolver trabalhos de simulação relacionados ao layout e projeto de circuitos integrados. As atividades serão executadas usando ferramentas gratuitas de fácil acesso (SpiceOpus, LTSpice e LASI). Os resultados e análises de cada tarefa serão enviados pelo Moodle em datas determinadas seguindo o roteiro e instruções indicadas em cada caso.

Observações:

1. As tarefas serão realizadas conforme roteiro detalhado que será disponibilizado no Moodle
2. A professora estará disponível *on line* na plataforma Moodle (vídeo ou chat) para dúvidas e esclarecimentos nas segundas-feiras entre 08:20 e 11:50.

**Parte 3:** A parte prática da disciplina envolve criação, edição, compilação e depuração de circuitos digitais descritos em VHDL. Fica a critério do professor e dependendo da disponibilidade técnica usar as seguintes metodologias:

1. Validação e simulação de arquivos VHDL usando ferramentas de software (Quartus/Modelsim e/ou ghdl e/ou EDA playground, etc)
2. Acesso remoto à placa de desenvolvimento FPGA usando o software x2go e o VPN da UFSC ou vídeo aulas explicativas.

Haverá uma aula de introdução a linguagem de descrição de hardware VHDL e síntese em FPGA e no final da mesma serão liberadas duas tarefas práticas no Moodle. A realização das mesmas deverá ser feito de forma síncrona no horário da aula com acompanhamento do professor. Ditas tarefas serviram para a realização do projeto final com o intuito de aplicar todos os conhecimentos adquiridos na terceira parte da disciplina.

## X. METODOLOGIA DE AVALIAÇÃO E CONTROLE DE FREQUÊNCIA

**AVALIAÇÃO: A nota final da disciplina será dada pela fórmula:**

**MS = média(Parte1 + Parte2 + Parte3)**

onde:

**MS** = Média do Semestre

A média do semestre (**MS**) é a média das três partes (Parte1, Parte2, Parte3) arredondada para o meio ponto mais próximo (meio ponto superior, nos casos das frações ,25 e ,75). Condições para a aprovação: [frequência  $\geq$  75%] e [MS  $\geq$  6,0].

Método de avaliação:

### **Parte1**

As avaliações da parte 1 da disciplina serão realizadas via Moodle, através da função “Questionário”. Serão elaboradas questões de múltipla escolha, descritivas e de verdadeiro ou falso. Todas as avaliações deverão ser realizadas com tempo limitado. O tempo de acesso à atividade será livre, limitado à semana da avaliação, e de resposta ao questionário será de 1h40min.

Serão três avaliações (A1, A2 e A3), sem consulta, compreendendo o conteúdo da disciplina dado até a respectiva avaliação.

Nota da Primeira Parte da disciplina. A nota final da primeira parte da disciplina será a média aritmética de três avaliações (A1, A2 e A3). A nota final da primeira parte será calculada, então, da seguinte forma:

Parte1 =  $(A1 + A2 + A3)/3$

**Parte2** = A nota final da segunda parte da disciplina será baseada na avaliação de três trabalhos computacionais (T1, T2 e T3) que serão desenvolvidos em sala de aula, e um Trabalho Final (TF) que deverá ser entregue em data a combinar. A nota final da

segunda parte será calculada da seguinte forma:

$$\text{Parte2} = 0,1 * T1 + 0,15 * T2 + 0,15 * T3 + 0,6 * TF$$

**Parte3** = A nota final desta terceira parte da disciplina é determinada pela nota da Prova Teórica a ser realizada na última aula (PT) com um prazo de entrega limitado e a nota dum Projeto Final em VHDL (PF) a ser entregue na última semana da terceira parte. Haverá prova de substituição para alunos com falta justificada na data da prova ou devido a problemas técnicos. A nota final da terceira parte será calculada da seguinte forma:

$$\text{Parte3} = 0,7 * PT + 0,3 * PF$$

#### Controle de frequência:

A frequência será contabilizada com a realização por parte do aluno (independente da nota) das atividades solicitadas em cada aula teórica e prática. Não há prova de recuperação nesta disciplina. A participação em atividades síncronas e assíncronas, acesso ao AVA e a postagem das atividades serão computadas na frequência do aluno, através da ferramenta “Presença” e através da verificação do perfil do aluno e através da ferramenta “Relatórios do Curso” no Moodle.

#### Reposição das notas:

- Em caso de impedimento por motivos técnicos (falhas na energia, internet ou equipamentos) do aluno de ficar online no horário programado durante alguma avaliação com nota regular, ele deve entrar em contato (via e-mail ou Moodle) com o professor em no máximo 24 horas após cessar o motivo do impedimento para reagendar uma segunda tentativa.
- Nos casos previstos no regulamento da graduação (Art. 74) o aluno deverá solicitar à chefia do EEL a reposição da avaliação.

---

## **XI. LEGISLAÇÃO**

Não será permitido gravar, fotografar ou copiar as aulas disponibilizadas no Moodle. O uso não autorizado de material original retirado das aulas constitui contrafação – violação de direitos autorais – conforme a Lei nº 9.610/98 – Lei de Direitos Autorais.

---

## **XI. REFERÊNCIAS**

### **BIBLIOGRAFIA BÁSICA**

#### **Parte 1**

1.- Ciência dos Materiais: (<http://www.cienciadosmateriais.org/index.php?acao=projeto>)

#### **Parte 2**

1. Uyemura, J. P. (1992). Circuit Design for CMOS VLSI. In Circuit Design for CMOS VLSI. (<https://doi.org/10.1007/978-1-4615-3620-8>)
2. Annaratone, M. (1986). Digital CMOS Circuit Design. <https://doi.org/10.1007/978-1-4613-2285-6>

#### **Parte 3**

1. David M. Harris, Sarah L. Harris, Digital Design and Computer Architecture. Second edition. Waltham, MA, USA: Morgan Kaufmann Publishers, 2013. ISBN 978-0-12-394424-5 .

Disponível em <https://www.sciencedirect.com/book/9780123944245/digital-design-and-computer-architecture>

2. Eduardo Bezerra, Djones Lettnin. Synthesizable VHDL Design for FPGAs, 2014. Springer. Disponível no biblioteca da UFSC.

### **BIBLIOGRAFIA COMPLEMENTAR**

#### **Parte 1**

1. Notas de aula (slides), apostilas e material de apoio da internet (links de acesso livre).
2. Jacobus W. Swart. Evolução da Microeletrônica e Microsistemas (Apostila).

#### **Parte 2**

1. CMOS VLSI Design: A Circuits and Systems Perspective”, Neil Weste e David Harris, Pearson 2004 (terceira edição).

#### **Parte 3**

1. Notas de aula (slides), apostilas e material de apoio da internet (links de acesso livre).
2. Guilherme Arroz, José Monteiro, Arlindo Oliveira, Introdução aos Sistemas Digitais e Microprocessadores, IST Lisboa.
3. Frank Vahid, "Sistemas Digitais: projeto, otimização e HDLs", 1ª ed., Porto Alegre:Bookman, 2008.ISBN:978-85-7780-190-9.
4. Tocci, Ronald; Widmer, Neal; Moss, Gregory. Sistemas Digitais: Princípios e aplicações. Pearson, 2011. 3. Katz, Randy H., Contemporary Logic Design, 2nd ed., Prentice Hall, 2005.

### **OUTRAS REFERÊNCIAS**

O material de apoio disponibilizado no Moodle

## Cronograma

### Parte 2:

Dia	Segunda 08:20h	Segunda 10:10h
31 Agosto	Visão geral do processo e <i>layout</i> de componentes passivos e transistores	Trabalho 1 (T1)
14 Setembro	Regras de projeto	Trabalho 2 (T2)
21 Setembro	Layout de células básicas analógicas, digitais e células mistas;	Trabalho 3 (T3)
28 Setembro	<i>Floorplanning</i> e Projeto Digital	Trabalho final (TF)

### Parte 3:

Dia	Segunda 08:20h	Segunda 10:10h
5 Outubro	Aula 1: Introdução, portas lógicas em CMOS	Aula 2: Álgebra de Boole
19 Outubro	Aula 3: Circuitos combinatórios	Intro VHDL e apresentação projeto
26 Outubro	Aula 4: Latches, Flip-Flops, registradores, contadores.	Aula 5: Máquinas de estado
9 Novembro	Laboratório 2 VHDL	Laboratório 3 VHDL
16 Novembro	Entrega projeto VHDL e revisão problemas	Prova Final

### Parte 1:

Dia	Segunda 08:20h	Segunda 10:10h
11 Março	Aula 0: Introdução	
23 Novembro	Aula 1: Cristalografia/Defeitos	Aula 2: Difusão/Oxidação
30 Novembro	Aula 3: Processos/Deposição	A1
7 Dezembro	Aula 4: Microfabricação	A2
14 Dezembro	Aula 5: Atualização	A3

Observações: Qualquer mudança de horário será feita mediante anuência de todos os alunos matriculados (Art. 3.2, Res. 140/2020/CUn).