



PLANO DE ENSINO 2020.1¹

I. IDENTIFICAÇÃO DA DISCIPLINA:

CÓDIGO	NOME DA DISCIPLINA	HORAS-AULA SEMANAIS		HORAS-AULA SEMESTRAIS
		TEÓRICAS	PRÁTICAS	
EEL5105	Circuitos e Técnicas Digitais	2	3	90

II. PROFESSOR(ES) MINISTRANTE(S)

Prof. Hector Pettenghi <hector@eel.ufsc.br>
Prof. Fabian Cabrera <fabian.cabrera.r@gmail.com>
Prof. Eduardo Batista <Eduardo.batista@ufsc.br>
Prof. Cesar Rodrigues <cesar@ieee.org>
Prof. Raimes Moraes <raimes@eel.ufsc.br>

III. PRÉ-REQUISITO(S) (Código(s) e nome da(s) disciplina(s))

Ciência da Computação	Não há
Engenharia de Controle e Automação	300 horas
Engenharia Elétrica	EEL7011 Laboratório de Eletricidade Básica
Engenharia Eletrônica	INE5201 Introdução à Ciência da Computação
Engenharia de Produção Elétrica	EEL7011 Laboratório de Eletricidade Básica

IV. CURSOS PARA OS QUAIS A DISCIPLINA É OFERECIDA

(208) Ciência da Computação
(220) Engenharia de Controle e Automação
(202) Engenharia Elétrica
(235) Engenharia Eletrônica
(213) Engenharia de Produção Elétrica

V. EMENTA

Sistemas de numeração e códigos numéricos. Álgebra Booleana. Funções e portas lógicas. Portas lógicas CMOS. Síntese e otimização de circuitos lógicos. Circuitos combinacionais. Circuitos sequenciais. Máquinas de estados finitos (FSM). Relógio e temporização. Modelo bloco operativo/bloco de controle. Introdução às linguagens de descrição de hardware (HDL). Dispositivos lógicos programáveis.

VI. OBJETIVOS

O cumprimento da disciplina busca dar ao aluno, ao final do semestre, condições de desenvolver domínio sobre:

1. Conceitos relacionados a sistemas numéricos, álgebra de chaves e fundamentos da área de sistemas digitais.
2. Capacidade de análise de sistemas digitais de complexidade baixa ou média.
3. Metodologias de síntese de sistemas digitais de complexidade baixa ou média.
4. Projeto de sistemas digitais de baixa complexidade em nível de RTL.
5. Projeto de sistemas digitais usando linguagens de descrição de hardware.
6. Fluxo de ferramentas de auxílio ao projeto de sistemas digitais (simuladores, minimizadores, entre outros).
7. Utilização de dispositivos lógicos reconfiguráveis.

VII. CONTEÚDO PROGRAMÁTICO

UNIDADE: 01

CONTEÚDO: Introdução

- 1.1. Introdução aos sistemas digitais
- 1.2. Sistemas de numeração e códigos numéricos
- 1.3. Portas lógicas booleanas
- 1.4. Álgebra booleana
- 1.5. Representações de funções booleanas
- 1.6. Estrutura interna de portas lógicas e mapeamento de equações lógicas em CMOS

-
- 1.7. Mapas de Karnaugh
 - 1.8. Ferramentas para o projeto de sistemas digitais

UNIDADE: 02

CONTEÚDO: Circuitos combinacionais

- 2.1. Portas lógicas como blocos construtivos dos circuitos combinacionais
- 2.2. O processo do projeto lógico combinacional
- 2.3. Codificadores e decodificadores
- 2.4. Multiplexadores e demultiplexadores
- 2.5. Aritmética digital
- 2.6. Descrição de circuitos combinacionais usando linguagens de descrição de hardware

UNIDADE: 03

CONTEÚDO: Circuitos sequenciais

- 3.1. Memória e armazenamento, latch SR, latch D, flip-flop D, outros flip-flops
- 3.2. Registradores baseados em flip-flops
- 3.3. Máquinas de estados finitos (FSM)
- 3.4. Projeto de máquinas de estados finitos
 - 3.4.1. Modelagem da FSM
 - 3.4.2. Criação da arquitetura padrão com registrador de estado
 - 3.4.3. Codificação de estados
 - 3.4.4. Tabela de estados
 - 3.4.5. Implementação da lógica combinacional de saída e próximo estado
 - 3.4.6. Características temporais
- 3.5. Descrição de circuitos sequenciais usando linguagens de descrição de hardware

UNIDADE: 04

CONTEÚDO: MODELO BLOCO DE OPERATIVO/BLOCO DE CONTROLE

- 4.1 Bloco operativo
 - 4.1.1 Deslocadores
 - 4.1.2 Comparadores
 - 4.1.3 Contadores
 - 4.1.4 Unidades lógico-aritméticas (ULAs)
- 4.2 Projeto e síntese de máquinas de estados de alto nível
- 4.3 Integração entre os blocos operativo e de controle (FSM)
- 4.4 Uso de memórias para implementação de bloco de controle

UNIDADE: 05

CONTEÚDO: Tecnologias habilitadoras do projeto de sistemas digitais

- 5.1. Circuitos integrados discretos
- 5.2. Dispositivos lógicos programáveis

VIII. METODOLOGIA DE ENSINO / DESENVOLVIMENTO DO PROGRAMA

O material de apoio será disponibilizado integralmente no moodle (slides detalhados, etc.) conforme a escolha de formato de cada professor. Haverá acompanhamento contínuo dos conhecimentos adquiridos pelos alunos através de questionários no moodle conforme a escolha de formato de cada professor. O horário da aula teórica poderá ser usado para explicação de conceitos contidos no material de apoio e/ou solução de exercícios em conjunto com os alunos e/ou para responder dúvidas dos alunos. Os encontros no horário da aula acontecerão de forma on-line a partir do moodle. Outras ferramentas de software também poderão ser usadas a critério do professor. O aluno poderá consultar ao professor sobre quaisquer dúvidas através dos canais disponíveis no moodle ou e-mail.

Os professores, os estagiários de docência e os monitores fornecerão apoio na semana anterior ao início das aulas para preparação e ambientação dos alunos às plataformas virtuais.

IX. ATIVIDADES PRÁTICAS

O material de apoio será disponibilizado integralmente no moodle (roteiros, exercícios, etc.) conforme a escolha de formato de cada professor. Haverá acompanhamento contínuo dos conhecimentos adquiridos pelos alunos através de questionários no moodle conforme a escolha de formato de cada professor. O horário da aula prática poderá ser usado para desenvolver as atividades práticas com acompanhamento do professor e/ou para solucionar dúvidas relativas a cada aula prática. Os encontros no ho-

rário da aula acontecerão de forma on-line usando preferencialmente as ferramentas disponíveis no moodle. Outras ferramentas de software poderão ser usadas.

A parte prática da disciplina envolve criação, edição, compilação e depuração de circuitos digitais descritos em VHDL. Fica a critério de cada professor e dependendo da disponibilidade técnica usar as seguintes metodologias:

- Validação e simulação de arquivos VHDL usando ferramentas de software (Quartus/Modelsim e/ou ghdl e/ou EDA playground, etc)
- Acesso remoto à placa de desenvolvimento FPGA usando o software x2go e o VPN da UFSC e/ou emulador da placa de desenvolvimento. Também poderá haver vídeo-aulas síncronas ou assíncronas demonstrando a síntese dos projetos VHDL dos alunos na placa.

Haverá um projeto para aplicar todos os conhecimentos adquiridos durante a disciplina.

X. METODOLOGIA DE AVALIAÇÃO E CONTROLE DE FREQUÊNCIA

$$MS = (MT + TP)/2$$

onde:

MS = Média do Semestre

TP = Nota do Trabalho Prático = MINITESTES*0,3 + EXERCÍCIOS*0,4 + PROJETO_FINAL*0,3

MT = Média da Teoria = (P1 + P2) / 2

P1 = Prova 1 (teoria)

P2 = Prova 2 (teoria)

MINITESTES = Média das notas nos minitestest de laboratório

EXERCÍCIOS = Média das notas dos exercícios de laboratório

PROJETO_FINAL = Nota do projeto prático final

Condições para a aprovação: [frequência >= 75%] e [MS >= 6,0].

A média do semestre (MS) é a média aritmética da nota do trabalho prático (TP) com a média aritmética das provas da teoria (MT), arredondada para o meio ponto mais próximo (meio ponto superior, nos casos das frações 0,25 e 0,75). Os alunos com MS maior ou igual a 6,0 e frequência mínima nas aulas de 75% serão aprovados.

Método de avaliação:

Provas P1, P2, MINITESTES e EXERCÍCIOS serão realizadas no horário da aula através do moodle. O projeto final será entregue através do moodle dentro do prazo previamente definido, sendo que a avaliação desse projeto será preferencialmente no horário de aula.

Controle de frequência:

A frequência será contabilizada com a realização por parte do aluno (independente da nota) das atividades solicitadas em cada aula teórica e prática. Não há prova de recuperação nesta disciplina.

Reposição das notas:

- Em caso de impedimento por motivos técnicos (falhas na energia, internet ou equipamentos) do aluno de ficar online no horário programado durante alguma avaliação com nota regular (P1, P2, MINITESTES, EXERCÍCIOS e PROJETO_FINAL), ele deve entrar em contato (via e-mail ou Moodle) com o professor em no máximo 24 horas após cessar o motivo do impedimento para reagendar uma segunda tentativa.

- Nos casos previstos no regulamento da graduação (Art. 74) o aluno deverá solicitar à chefia do EEL a reposição da avaliação.

XI. LEGISLAÇÃO

Não será permitido gravar, fotografar ou copiar as aulas disponibilizadas no Moodle. O uso não autorizado de material original retirado das aulas constitui contrafação – violação de direitos autorais – conforme a Lei nº 9.610/98 – Lei de Direitos Autorais.

XI. REFERÊNCIAS

1. David M. Harris, Sarah L. Harris, Digital Design and Computer Architecture. Second edition. Waltham, MA, USA: Morgan Kaufmann Publishers, 2013. ISBN 978-0-12-394424-5 .

Disponível em <https://www.sciencedirect.com/book/9780123944245/digital-design-and-computer-architecture>

2. Eduardo Bezerra, Djones Lettnin. Synthesizable VHDL Design for FPGAs, 2014. Springer.

BIBLIOGRAFIA COMPLEMENTAR

1. Frank Vahid, "Sistemas Digitais: projeto, otimização e HDLs", 1ª ed., Porto Alegre:Bookman, 2008.

2. Tocci, Ronald; Widmer, Neal; Moss, Gregory. Sistemas Digitais: Princípios e aplicações. Pearson, 2011.

Cronograma

Semana	De	Até	TEORIA	LABORATORIO			TEORIA	LABORATORIO			TEORIA	LABORATORIO		
			1208A/3235/3202A	1208A	3235	3202A	1208DB	1208D	1208B	2220AB/8213A	2220A	2220B	8213A	
			2.1010-2	5.0910-3	2.1510-3	6.1330-3	3.1510-2	6.0910-3	5.1330-3	5.0820-2	3.1510-3	6.1620-3	3.0910-3	
			Aula 1 ^(A)	Sem Aula	Lab 1 ^(A)	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Aula 1 ^(A)	Sem Aula	Lab 1 ^(A)	Sem Aula	
1	24-Aug 31-Aug	28-Aug 4-Sep	Aula 2	Lab1	Lab2	Lab1	Aula 1	Lab1	Lab1	Aula 2	Lab1	Lab2	Lab1	
2	7-Sep	11-Sep	Feriado	Lab2	Feriado	Lab2	Aula 2	Lab2	Lab2	Aula 3	Lab2	Exe1	Lab2	
3	14-Sep	18-Sep	Aula 3	Exe1	Exe1	Exe1	Aula 3	Exe1	Exe1	Aula 4	Exe1	Lab3	Exe1	
4	21-Sep	25-Sep	Aula 4	Lab3	Lab3	Lab3	Aula 4	Lab3	Lab3	Aula 5	Lab3	Lab4	Lab3	
5	28-Sep	2-Oct	Aula 5	Lab4	Lab4	Lab4	Aula 5	Lab4	Lab4	Prova 1	Lab4	Exe2	Lab4	
6	5-Oct	9-Oct	Prova 1	Exe2	Exe2	Exe2	Prova 1	Exe2	Exe2	Aula 6	Exe2	Lab5	Exe2	
7	12-Oct	16-Oct	Feriado	Lab5	Feriado	Lab5	Aula 6	Lab5	Lab5	Aula 7	Lab5	Exe3	Lab5	
8	19-Oct	23-Oct	Aula 6	Exe3	Lab5	Exe3	Aula 7	Exe3	Exe3	Aula 8	Exe3	Lab6	Exe3	
9	26-Oct	30-Oct	Aula 7	Lab6	Exe3	Lab6	Aula 8	Lab6	Lab6	Aula 9	Lab6	Lab7	Lab6	
10	2-Nov	6-Nov	Feriado	Lab7	Feriado	Lab7	Aula 9	Lab7	Lab7	Aula 10	Lab7	Exe4	Lab7	
11	9-Nov	13-Nov	Aula 8	Exe4	Lab6	Exe4	Aula 10	Exe4	Exe4	Aula 11	Exe4	Projeto	Exe4	
12	16-Nov	20-Nov	Aula 9	Projeto	Lab7	Projeto	Aula 11	Projeto	Projeto	Prova 2	Projeto	Projeto	Projeto	
13	23-Nov	27-Nov	Aula 10	Projeto	Exe4	Projeto	Prova 2	Projeto	Projeto	Prova Subst. ^(B)	Projeto	Projeto	Projeto	
14	30-Nov	4-Dec	Aula 11	Projeto	Projeto	Projeto	Prova Subst. ^(B)	Projeto	Projeto	Sem Aula	Avaliação	Avaliação	Avaliação	
15	7-Dec	11-Dec	Prova 2	Avaliação	Projeto	Avaliação	Sem Aula	Avaliação	Avaliação	Sem Aula	Sem Aula	Sem Aula	Sem Aula	
16	14-Dec	18-Dec	Prova Subst. ^(B)	Sem Aula	Avaliação	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	Sem Aula	
			Prof. Fabian Cabrera	Prof. Eduardo Batista	Prof. Raimes Moraes	Prof. Fabian Cabrera	Prof. César Rodrigues	Prof. Eduardo Batista	Prof. Eduardo Batista	Prof. Héctor Pettenghi	Prof. Héctor Pettenghi	Prof. César Rodrigues	Prof. Héctor Pettenghi	

(A) Participação voluntária: revisão dos conceitos das aulas ministradas em março/2020.

(B) Reposição de P1 e/ou P2 para alunos que tiveram ausência justificada (Art. 74 regulamento da graduação) e/ou problemas técnicos (Seção X do plano de ensino)